УДК 004.312:004.032.34

метод десинхронизации для синтеза самосинхронных схем

*Хилько Дмитрий Владимирович, к.т.н., старший научный сотрудник1, dhilko@yandex.ru*

*Орлов Георгий Александрович, младший научный сотрудник 1, orlov.jaja@gmail.com*

*Григорьев Артем Андреевич, инженер 3 кат.1, ar.grigor.ev@yandex.ru*

*Апполонов Георгий Сергеевич, инженер 3 кат.1, gera1234256@gmail.com*

*1ФИЦ ИУ РАН, г.Москва*

Аннотация: В работе приводится метод десинхронизации, который позволяет автоматизировать один из этапов синтеза самосинхронной схемы на основе ее исходного синхронного поведенческого описания на языке Verilog.

Ключевые слова: десинхронизация, самосинхронная схема, логический синтез.

Введение

Самосинхронные схемы (или СС-схемы) являются перспективной альтернативой синхронных, так как не используют глобальный тактовый сигнал и работают на основе запрос-ответного механизма и обязательной индикации окончания переключений всех элементов. Преимуществами СС-схемы являются: максимально возможный диапазон работоспособности; отсутствие аппаратных и энергетических расходов для реализации "тактового дерева" и локализации неисправностей за счет механизма индикации завершения переходных процессов. Перечисленные свойства обуславливают высокую надёжность самосинхронных изделий [1, 2].

Следует отметить три обстоятельства, препятствующие более широкому использованию самосинхронной парадигмы в схемотехнике: 1) избыточность аппаратных затрат; 2) недостаточный спектр отработанных схемотехнических решений; 3) отсутствие необходимого спектра средств САПР, обеспечивающих эффективную разработку схем. Для решения указанных проблем в ФИЦ ИУ РАН были разработаны: методические подходы, библиотеки СС-элементов и прототипы устройств, а также набор программных средств. Единственным оставшимся препятствием для полноценного проектирования СС-изделий является отсутствие эффективной системы синтеза, не требующей от разработчика глубокого знания специфики схем данного класса.

Метод десинхронизации синхронного описания

К настоящему времени процедура десинхронизации применялась при синтезе асинхронных схем (СС-схемы являются их подклассом). В качестве основного подхода к десинхронизации в асинхронных схемах используется четырех фазовый протокол «рукопожатия». [3 4]. Реализуется данный протокол путем построения Doubly Latched Asynchronous Pipeline (DLAP) [5, 6]. В работе [7] представлено описание методологии и маршрута синтеза СС-схем из исходного синхронного поведенческого описания на языке описания аппаратуры Verilog. Процедура десинхронизации в рамках данного маршрута предшествует этапу СС-кодирования информационных сигналов схемы и является одним из этапов процесса построения индикаторной схемы. Эта процедура должна заменить глобальное и локальные "деревья" тактовых сигналов сетью сигналов управления, формируемых на основе индикаторных выходов устройств синтезируемой схемы и обеспечивающих бесконфликтное взаимодействие составных частей синтезируемой схемы на основе запрос-ответных отношений между ними.

Для реализации данной процедуры в рамках статьи предлагается метод десинхронизации, включающий в себя шесть этапов. На первом этапе осуществляется синтез исходного синхронного описания средствами свободно распространяемой системы Yosys. Промежуточные результаты синтеза извлекаются в виде описания на специальном языке Register transfer level intermediate language (RTLIL). На втором этапе осуществляется преобразование RTLIL-описания в граф соединений между базовыми ячейками. На третьем этапе с использованием различных алгоритмов на графах осуществляется определение стадий конвейера в виде множества подграфов. На четвертом этапе осуществляется десинхронизация каждой стадии конвейера путем замены исходных управляющих сигналов на набор управляющих сигналов запрос-ответного взаимодействия и специальных гистерезисных триггеров (Г-триггер). На пятом этапе из сигналов и Г-триггеров формируется схема управления конвейером. На шестом этапе полученный граф преобразуется в RTLIL и загружается в Yosys для дальнейшего синтеза.

Выводы

В работе предложен метод десинхронизации синхронного описания для дальнейшего синтеза СС-схемы. Данный метод отличается от существующих решений тем, что позволяет реализовать самосинхронный конвейер вместо DLAP, а также принципиально другую схему управления, основанную на использовании самосинхронного кодирования и Г-триггеров.

Список использованных источников

1. Соколов И.А., Степченков Ю.А., Рождественский Ю.В., Дьяченко Ю.Г. Приближенная оценка эффективности синхронной и самосинхронной методологий в задачах проектирования сбоеустойчивых вычислительно-управляющих систем // Автоматика и Телемеханика, 2022, №2, С. 122-132.

2. А.А. Зацаринный, Ю.А. Степченков, Ю.Г. Дьяченко, Д.В. Хилько, Г.А. Орлов, Д.Ю. Дьяченко. Сбоеустойчивые самосинхронные счетчики //Математическое моделирование в материаловедении электронных компонентов. ММMЭК–2023. 23–25 октября 2023 г., Москва, Россия. Материалы V Международной конференции. (сборник тезисов). – Москва: МАКС Пресс, 2023. C167-170. DOI: 10.31857/S0005231022020088.

3. J. Cortadella, A. Kondratyev, L. Lavagno and C. P. Sotiriou, "Desynchronization: Synthesis of Asynchronous Circuits From Synchronous Specifications," in IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, vol. 25, no. 10, pp. 1904-1921, Oct. 2006, doi: 10.1109/TCAD.2005.860958.

4. D. L. Oliveira, G. C. Duarte, G. C. Batista, D. A. Silva and L. Romano, "Synthesis of Asynchronous State Machines from Synchronous Specifications," 2020 IEEE 11th Latin American Symposium on Circuits & Systems (LASCAS), San Jose, Costa Rica, 2020, pp. 1-4, doi: 10.1109/LASCAS45839.2020.9069010.

5. S. Semba and H. Saito, "RTL Conversion Method From Pipelined Synchronous RTL Models Into Asynchronous Ones," in IEEE Access, vol. 10, pp. 28949-28964, 2022, doi: 10.1109/ACCESS.2022.3158487.

6. Simlastik, M., Stopjakova, V. (2009). Automated Synchronous-to-Asynchronous Circuits Conversion: A Survey. In: Svensson, L., Monteiro, J. (eds) Integrated Circuit and System Design. Power and Timing Modeling, Optimization and Simulation. PATMOS 2008. Lecture Notes in Computer Science, vol 5349. Springer, Berlin, Heidelberg. https://doi.org/10.1007/978-3-540-95948-9\_35.

7. Зацаринный А.А., Степченков Ю.А., Дьяченко Ю.Г., Морозов Н.В., Степченков Д.Ю. Автоматизация синтеза самосинхронных схем // Системы высокой доступности. т. 19, № 3, С. 48-56, 2023 г. DOI: 10.18127/j20729472-202303-04.

DESYNCHORNIZATION METHOD FOR SELF-TIMED CIRCUITS SYNTHESIS

D.V. Khilko, G.A. Orlov, A.A. Grigoriev, G.S. Appolonov

Abstract: The paper covers a desynchronization method that allows automating one of the stages of synthesis of a self-timed circuit based on its original synchronous behavioral description in the Verilog language.

Key words: desynchronization, self-timed circuits, logic synthesis.